

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年11月29日

出 願 番 号
Application Number:

特願2000-363504

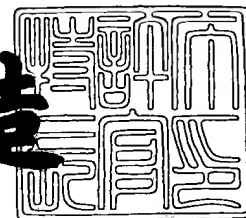
出 願 人
Applicant(s):

京セラ株式会社

2001年 2月 2日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3003185

【書類名】 特許願

【整理番号】 22835

【あて先】 特許庁長官殿

【国際特許分類】 G02B 6/42

【発明者】

 【住所又は居所】 京都府相楽郡精華町光台 3 丁目 5 番地 京セラ株式会社
中央研究所内

 【氏名】 中島 恵子

【特許出願人】

 【識別番号】 000006633

 【住所又は居所】 京都府京都市伏見区竹田鳥羽殿町 6 番地

 【氏名又は名称】 京セラ株式会社

 【代表者】 西口 泰夫

【手数料の表示】

 【予納台帳番号】 005337

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光半導体素子キャリア及びその実装構造並びに光モジュール

【特許請求の範囲】

【請求項 1】 基台上に 1 以上の光半導体素子が配設された光半導体素子キャリアであって、前記基台は前記光半導体素子を配設した素子配設面と、前記基台を外部基体に対し位置決めするための位置合わせ面とを備えるとともに、前記素子配設面から前記位置合わせ面にわたり前記光半導体素子に接続される導体パターンを形成し、かつ前記位置合わせ面に位置決め用の凹部及び／又は凸部を形成したことを特徴とする光半導体素子キャリア。

【請求項 2】 前記基台は単結晶シリコンから成るとともに、前記素子搭載面が { 1 1 0 } 面または { 1 0 0 } 面であり、かつ前記位置合わせ面が { 1 1 1 } 面であることを特徴とする請求項 1 に記載の光半導体素子キャリア。

【請求項 3】 前記素子配設面に、発光素子及び該発光素子の出射光をモニターするための受光素子を含む複数の光半導体素子が配設されていることを特徴とする請求項 1 に記載の光半導体素子キャリア。

【請求項 4】 請求項 1 乃至 3 に記載の位置決め用の凹部に対応させる凸部、及び／又は、位置決め用の凸部に対応させる凹部を有する実装用基体に、前記光半導体素子キャリアを配設したことを特徴とする光半導体素子キャリアの実装構造。

【請求項 5】 請求項 4 に記載の実装用基体に、請求項 1 乃至 3 に記載の光半導体素子キャリアと、該光半導体素子キャリアに光接続させる光導波体とをそれぞれ配設したことを特徴とする光モジュール。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、光ファイバ通信システムまたは構内光通信システム（光 LAN）に用いられる光半導体素子キャリア及びその実装構造に関し、さらに、基体上に光半導体素子キャリア及びそれに光接続する光ファイバや光導波路などの光導波体をそれぞれ配設した光モジュール（光半導体モジュール）に関する。

【0002】

【従来の技術】

近年、CATVや公衆通信の分野において、光ファイバ通信の実用化が始まっている。また、高速・高信頼性の光モジュールが同軸型またはDual-inline型と呼ばれるモジュール構造で実現されており、これらは主に幹線系と呼ばれる領域で既に実用化されている。

【0003】

これに対し、最近ではSi（シリコン）基板（またはシリコンプラットフォームともいう）上で、光半導体素子と光ファイバを機械的精度のみで高精度に位置決め実装する技術を用いた光モジュールが盛んに開発されている。これらは主に加入者系と呼ばれる領域での実用化が目標とされており、小型・低背化、低コスト化などが要求されている。

【0004】

以下に、従来の面受光半導体素子（フォトダイオード）の実装構造例（1）～（3）について説明する。

【0005】

（1）図9に後記するフォトダイオードを実装するためのキャリア（基台）41を示す。基台41は少なくとも任意の隣り合う2つの面にフォトダイオードのアノード及びカソード電極用の電極パッド411、412が形成されており、各々の電極パッドは面の境界で電気的な導通が確保される。

【0006】

図10にPIN型のフォトダイオード20が上記基台41に実装された典型的な光半導体素子キャリアJを示す。フォトダイオード20は用途により異なるが、この例では約500 μ m角、厚さ約200 μ m、受光径約200 μ m ϕ 程度であり、受光面及びその反対面（裏面）に電極21、22がそれぞれ形成されている。また、フォトダイオード20は受光面を表側にして、その裏面側において、電極パッド411上に配設したAuSn半田等の接続部材と裏面電極22とが電気的に接続されている。また、電極パッド412と受光面電極21とはボンディングワイヤ31により電気的に接続されている。

【0007】

図11(a)～(c)に、基台41にフォトダイオード20を実装した光半導体素子キャリアJがSi基板S上に配設された例を示す。フォトダイオード20はその受光面がSi基板Sの主面に対して垂直になるように接続される。これにより、Si基板Sの主面に平行に実装された不図示の光ファイバとフォトダイオード20とが光接続される。フォトダイオード20への供給用の電気配線は、フォトダイオード20の実装面と別の面の電極パッドからSi基板Sへワイヤボンディングすることにより行われる。ここで、光半導体素子キャリアJは一般的にはアルミナなどのセラミックス上にフィラー入りペーストを用い、印刷により各面ごとに電極パッドがパターン形成される。

【0008】

(2) また、前記Si基板S上に前記光半導体素子キャリアは用いずに、直接Si基板S上にフォトダイオード20を実装する方法も提案されている。(例えば、特開平8-94887号公報を参照)。すなわち、Si基板S上に設けた光ファイバ実装溝に光ファイバを実装したときに、光ファイバ出射端にフォトダイオード20が対向するように、光ファイバ実装溝の光軸方向延長上に光ファイバ実装溝と同様に斜面を形成し、その斜面上にフォトダイオード20の実装を行う。フォトダイオード20の下面側の電極は、前記斜面に形成された電極と直接コンタクトして行い、フォトダイオード20の上面側の電極はワイヤリングにより行う。

【0009】

(3) また、フォトダイオード20の受光面を下にしてSi基板Sに載置し、受光面下部に形成された光路用溝の一部または全部に形成された全反射面により90°光路を変えることで、光ファイバからの出射光を受光面へ導く方法も提案されている(例えば、特開平9-54228号公報を参照)。

【0010】

【発明が解決しようとする課題】

しかしながら、前述した実装構造例(1)では、光半導体素子キャリアの電極パッドの形成において、2面のパターンの相対的な位置合わせ精度が外形の機械

精度に依存するため、精度が悪いという問題があった。すなわち、電極パッドの最小線幅、パッド間隔は各 $70\ \mu\text{m}$ 程度が限界であった。このため、電極の特性インピーダンスが高くなってしまい、高周波特性に制限を与えたり、光半導体素子キャリア全体が大きくなる。

【0011】

また、2面またはそれ以上の面へのパターン形成では、第1面のパターン形成が終了した後、次のパターンを形成するとき、光半導体素子キャリア自身を1つつハンドリングし整列させる必要があり、著しく生産性が悪いという問題や、サイズが小さくなるほどその取扱が困難になり、さらに生産性を悪化させる問題があった。また、従来ではサイズの限界が一般に 2mm 角程度であって、これ以上の小型化は困難であった。

【0012】

以上、述べた通り、サイズとコストがトレードオフの関係になっているので、従来では光半導体素子キャリアの小型化・高性能化により、非常にコストが高くなるという問題があること、及び小型化・高性能化に物理的な限界があった。

【0013】

また、実装構造例(2)では、ワイヤリング面が同一平面上にないため、組立実装工程が著しく困難になるという問題があった。さらに、斜面の傾斜角が、斜面への電極作製プロセスやワイヤリングの作業性により制限を受けてしまい、フォトダイオード20の受光感度や実装位置合わせ精度のトレランスが、光路に対しほぼ垂直に受光した場合と比較して小さくなるという問題もあった。

【0014】

また、実装構造例(3)によっても、出射光を効率よく受光させるために溝を2段階に作り込まなければならず、工程が煩雑化するとともに、光半導体素子を固定する際に受光部を一部覆ってしまうため、受光感度の低下は免れない。

【0015】

なお、これらの問題を解決する手段として、光半導体素子キャリア実装用基板に形成した傾斜面を有する溝に、同じく傾斜面を有する光半導体素子キャリアを、互いの傾斜面が接続するように落とし込み、光半導体素子の受発光面が光半導

体素子キャリア実装用基板に搭載された光導波体の光軸方向に垂直になるよう位置合わせを行う方法も考えられる。

【0016】

しかしながらこの方法では、受発光半導体素子の光軸方向（ z 方向）と高さ方向（ y 方向）の位置合わせは互いの傾斜面を付き合わせるだけで行えるが、それらに垂直な横方向（ x 方向）の位置合わせはダイシングで決まる基板外形に依存し正確には行えない。そのため、比較的トレランスの緩いフォトダイオード20の実装には用いることができて、面発光半導体素子を用いた送信モジュールや高周波用モジュールでは位置合わせ精度を満たせず用いることができないと考えられる。

【0017】

そこで本発明は、上記従来の問題に鑑み提案されたものであり、特に面受発光半導体素子などの光半導体素子の実装に適し、しかも量産性に優れ、さらに小型で高周波特性に優れた光半導体素子キャリア及びその実装構造、並びにそれらを用いた高効率な結合を有する優れた光モジュールを提供することを目的とする。

【0018】

【課題を解決するための手段】

上記目的を達成するために、基台上に1以上の光半導体素子が配設された光半導体素子キャリアであって、前記基台は前記光半導体素子を配設した素子配設面と、前記基台を外部基体に対し位置決めするための位置合わせ面とを備えるとともに、前記素子配設面から前記位置合わせ面にわたり前記光半導体素子に接続される導体パターンを形成し、かつ前記位置合わせ面に位置決め用の凹部及び／又は凸部を形成したことを特徴とする。また、前記基台は単結晶シリコンから成るとともに、前記素子搭載面が $\{110\}$ 面または $\{100\}$ 面であり、かつ前記位置合わせ面が $\{111\}$ 面であることを特徴とする。また、前記素子配設面に、発光素子及び該発光素子の出射光をモニターするための受光素子を含む複数の光半導体素子が配設されていることを特徴とする。

【0019】

また、本発明の光半導体素子キャリアの実装構造は、前記位置決め用の凹部に

対応させる凸部、及び／又は、位置決め用の凸部に対応させる凹部を有する実装用基体に、前記光半導体素子キャリアを配設したことを特徴とする。

【0020】

さらに、本発明の光モジュールは、前記実装用基体に、前記光半導体素子キャリアと、該光半導体素子キャリアに光接続させる光導波体とをそれぞれ配設したことを特徴とする。

【0021】

そして特に、本発明の光半導体素子キャリアは、基台上に1以上の光半導体素子が配設された光半導体素子キャリアであって、前記基台は前記光半導体素子を配設した素子配設面と、前記基台を外部基体に対し位置決めするための位置合わせ面とを備えるとともに、前記素子配設面から前記位置合わせ面にわたって前記光半導体素子に接続される導体パターンを形成し、かつ前記位置合わせ面に位置決め用凹凸部を形成したことを特徴とする。また、前記基台は単結晶シリコンから成るとともに、前記素子搭載面が{110}面または{100}面であり、かつ前記位置合わせ面が{111}面であることを特徴とする。また、前記素子配設面に、発光素子及び該発光素子の出射光をモニターするための受光素子を含む複数の光半導体素子が配設されていることを特徴とする。

【0022】

また、本発明の光半導体素子キャリアの実装構造は、前記光半導体素子キャリアの位置決め用凹凸部の凹部に対応させる凸部と、該位置決め用凹凸部の凸部に対応させる凹部とを有する凹凸部を備えた実装用基体に、前記光半導体素子キャリアを配設したことを特徴とする。さらに、本発明の光モジュールは、前記実装用基体に、前記光半導体素子キャリアと、該光半導体素子キャリアに光接続させる光導波体とをそれぞれ配設したことを特徴とする。

【0023】

【発明の実施の形態】

以下、本発明に係る光半導体素子キャリアの実装形態を模式的に図示した図面に基づき詳細に説明する。

【0024】

図1に発光素子や受光素子などの光半導体素子を1以上配設させる基台1の斜視図を、図2にこの基台1に光半導体素子2を搭載して成る光半導体素子キャリアK1の斜視図をそれぞれ示す。

【0025】

基台1には1以上の光半導体素子が配設される素子配設面A1と、基台1を後記する実装用基板等の外部基体に対し位置決めするための位置合わせ面（この実施形態では異方性エッチングにより正確に形成された傾斜面：以下、単に傾斜面ともいう）A2とを備える。基台1は、絶縁性を有する材料で主に構成されるが、特に製造が容易で、それを配設させる外部基体に対し正確に面合わせできるように、後記するように異方性エッチングが可能な単結晶材料で主に構成される。この場合、外部基体側も基台1と同様な材料で構成し、異方性エッチングにより正確な結晶面を出すようにして、結晶面どうしを面合わせできるようにするのが最も望ましい。

【0026】

また、基台1の素子配設面A1からそれに連なる傾斜面A2にわたって、光半導体素子2に接続される導体パターン11～14を形成し、傾斜面A2に位置決め用凹凸部8（凸条部8a、8c、8e及び凹条部8b、8dで構成）を形成している。傾斜面A2は素子配設面A1に対し一定角度 θ_1 をなす特定の結晶面であるが、素子配設面A1と傾斜面A2は、必ずしも隣り合わせの面どうしでなくともよく、両者の面の間に他の1以上の結晶面が形成されていてもよい。しかし、素子配設面A1と傾斜面A2とを隣の面どうしとするのが簡便に作製でき望ましいといえる。

【0027】

一方、このような光半導体素子キャリアM1を配設する外部基体側にも、基台1の位置決め用凹凸部8に対応させ、嵌め込みが可能な凸凹部を備えるようにする。これら凹凸部はRIE（反応性イオンエッチング）やCDE（ケミカルドライエッチング）法等で形成し、例えば、図示のように傾斜面A2の一端辺から他端辺まで複数条の凹部や凸部が形成されるようにするのが、正確に位置合わせできるようにするために好適であるが、例えば穴と突起のような形状としてもよい。

【0028】

導体パターン11、13は素子接続用電極パッドであり、導体パターン11、13に接続され傾斜面A2の凹条部8b、8dに形成された導体パターン12、14は、それぞれ11、13の素子接続用電極パッドとの接続用配線パターンであり、かつ外部回路等に接続させるための電極パッドである。なお、導体パターン12、14は必ずしも凹部に形成されなくともよい。

【0029】

光半導体素子キャリアK1は、基台1を単結晶シリコンから構成する場合には、素子配設面A1をミラー指数表示で、例えば(110)面に等価な{110}面または(100)面に等価な{100}面とし、傾斜面A2を(111)面に等価な面{111}面とする。

【0030】

このように、単結晶体の結晶方位を利用して、異方性ウェットエッチングにより傾斜面A2を形成するため、非常に高精度な角度で傾斜面A2を作製でき、これを配設するための外部基体側も同様な材料とし、異方性エッチングで配設面を形成すれば、両者を正確に面合わせすることが可能となる。ここで、素子配設面A1と傾斜面A2とのなす角 $\theta 1$ は、素子配設面A1が(110)面の場合はおよそ 144.74° であり、光半導体素子配設面A1が(100)面の場合は 125.26° である。また、基台1の材料であるシリコン単結晶基板は、抵抗率 $1000\Omega\cdot\text{cm}$ 以上の高抵抗とすると、誘電体損失が小さくなるので望ましい。

【0031】

図2に示す光半導体素子キャリアK1に、面発光半導体素子（以下、VCSEL）である光半導体素子2を実装する場合、光半導体素子2は電極パッドの導体パターン11に対し発光面2aを上向きにして、発光面2aの裏面側に形成された電極と導体パターン11とが接続される。この接続にはAuSn半田等の導体接続部材が用いられる。また、図示のように光半導体素子2の発光面2a側の電極21と電極パッド13とがワイヤボンドされる。

【0032】

図3(a)～(d)に外部基体の一例である実装用基板S1の実施形態を、図4(a)～(e)に実装用基板S1に光半導体素子キャリアK1を配設して成る光モジュールM1の実施形態をそれぞれ模式的に示す。

【0033】

前述した光半導体素子キャリアK1を実装する実装用基板S1は、例えば光半導体素子キャリアK1の基台1と同様な単結晶シリコンで主に構成され、同様な異方性ウェットエッチングにより、角度 θ_2 を有する結晶面である傾斜面Z2、傾斜面Z4が形成される。実装用基板S1の上面Z0、Z1、Z3は、これらの面に対し光半導体素子2の発光面を垂直にさせる場合、光半導体素子キャリアK1の素子配設面A1が(110)面である場合は(100)面とし、光半導体素子キャリアK1の素子配設面A1が(100)面である場合は(110)面とし、傾斜面Z2には(111)面に等価な{111}面とする。

【0034】

このように、実装用基板S1も光半導体素子キャリアK1と同様に、結晶方位を利用した異方性エッチングにより非常に高精度に傾斜面Z2を形成できる。そして、傾斜面Z2には前述と同様な形成方法により、位置決め用凹凸部（凹条部9a、9c、9e、及び光半導体素子キャリアK1の凹条部8b、8dに対応させる凸条部9b、9dで構成）9が形成されている。ここで、上面Z1と傾斜面Z2のなす角 θ_2 は、上面Z1が(100)面の場合は 54.74° であり、上面Z1が(110)面の場合は 35.26° である。また、実装用基板S1に配設する光ファイバや光導波路などの光導波体3等を搭載するための溝も、同様に異方性エッチングにより形成されるため非常に高精度にできる。なお、図中5は後記する光導波体を搭載するための断面V字状の搭載溝であり、7は光導波体の先端部の移動を禁止するためのストッパー溝である。

【0035】

図4に図2の光半導体素子キャリアK1を図3に示す光半導体素子キャリア実装用基板S1に実装した様子を示す。光半導体素子キャリアK1の傾斜面A2と実装用基板S1の傾斜面Z2を付き当てて、両者の凹凸部どうしを嵌め合わせて

位置合わせ及びエポキシ樹脂などの接着剤やはんだによる固定を行うことで、光半導体素子 2 は発光面を実装用基板 S 1 の上面に対し垂直になるように接続される。これにより、実装用基板 S 1 の上面に平行に実装された光導波体 3 と効率的に光接続できる。また、光半導体素子 2 への供給用の配線は導体パターン 1 2、1 4 から実装用基板 S 1 に形成された電極パターンである導体パターン 1 5、1 6 と接続固定されることにより行われる。

【 0 0 3 6 】

ここで、光半導体素子キャリア K 1 の面 A 0、A 3 はダイシングでチップを切り分けるときにできる面であり、面 A 3 は実装用基板 S 1 の面 Z 3 が付き当てられる。導体パターン 1 5 と 1 6 とは電氣的な接続は行われぬ。なお、図中の面 Z 3 の配線は無くすることも可能であり、また、基板表面に余裕がないときに例えば後方から配線を引くことも可能である。

【 0 0 3 7 】

このように、光半導体素子キャリア K 1 及び実装用基板 S 1 において、接合する傾斜面は結晶面で定まるので、これらを用いた光モジュールは結晶面の構成により常に垂直または一定角で接続することができ、また、互いの凹凸部を嵌め合わせることで光半導体素子キャリアの位置ずれを抑えることができるので、ばらつきのない良好な結合特性を有する光モジュールを得ることができる。

【 0 0 3 8 】

次に、本発明の具体的な作製例について説明する。

【 0 0 3 9 】

まず、基台 1 に抵抗率 $1000\ \Omega \cdot \text{cm}$ 以上の (1 1 0) 面を主面とする単結晶 Si 基板を用意する。基台 1 の外形は、図 1 に示すように、例えば幅 L 1 を 0.7 mm、高さ L 2 を 0.9 mm、厚み L 3 を 0.6 mm に設計する。素子を搭載する電極パッド 1 1 は例えば幅 0.25 mm、長さは 0.3 mm 以上とする。電極パッド 1 3 は電極パッド 1 1 との間隔を例えば 0.04 mm、電極幅を例えば 0.16 mm とする。また、各導体パターンはトータル膜厚を 0.3 ~ 1.3 μm とし、材料には下層 / 上層で Cr / Au、Cr / Ni / Au、Ti / Au、または Ti / Pt / Au などの 2 層以上から成る蒸着膜とし、電極パッド 1 1 の

一部には上部にトータル膜厚 $2 \sim 5 \mu\text{m}$ の積層または合金の AuSn 半田を用いる。凹凸部 8 は $5 \sim 100 \mu\text{m}$ 程度の段差を RIE を使ったドライエッチングにより作製する。

【0040】

次に、基台 1 の形成は、通常、一般的に行われている半導体作製プロセスに用いられるフォトリソグラフィー、薄膜成膜、ドライエッチング、ウェットエッチング等の各技術を用いて行う。図 5 (a) ~ (f) を用いて各製造工程について説明する。なお、各工程図における①は平面図を示し、②は断面図である。

【0041】

まず、熱酸化、プラズマ CVD 、スパッタリングなどの成膜方法で、基板 K の表面に溝をエッチングするためのマスク膜 (SiO_2 、 SiN_x 、 $\text{SiO}_2/\text{SiN}_x$ 積層など) を形成し、フォトリソグラフィーでレジストパターン形成後、 RIE (反応性イオンエッチング)、 CDE (ケミカルドライエッチング)、 BHF (バッファフッ酸) 等を用いたエッチングによりマスク膜のパターニングを行い、基板 K 上に所望パターンのマスク膜 51 を形成する (図 5 (a) を参照)。

【0042】

その後、 KOH (水酸化カリウム)、 NaOH (水酸化ナトリウム)、 TMAH (水酸化テトラメチルアンモニウム) 等の水溶液を用いた異方性エッチングにより、マスク膜 51 の開口部をエッチングし、 (111) 面に等価な面 $\{111\}$ を有する傾斜面 $\text{A}2'$ (図 1 における基台 1 の傾斜面 $\text{A}2$ となる面) を形成する (図 5 (b) を参照)。

【0043】

次に、段差を有する基板のフォトリソグラフィーに好適なスプレー塗布法により、傾斜面 $\text{A}2'$ 上に凹部となる領域が開口部であるフォトレジスト 52 を形成し (図 5 (c) を参照)、 RIE 、 CDE などのドライエッチングにより開口部におけるエッチングを行い段差部 $8'$ (図 1 における基台 1 の位置決め用凹凸部 8 となる領域) を形成する (図 5 (d) を参照)。なお、この段差部 $8'$ はこのように基板 K に作製してもよいが、 SiO_2 膜やポリイミドなどによる厚膜 (

厚さ5～100 μ m)を形成し、その膜をパターニングしエッチング除去することによって凹凸部に形成してもよい。

【0044】

さらにその後、フォトリソグラフィー及び蒸着により導体パターン11～14をリフトオフ法により形成する。このとき、図1における素子配設面A1だけでなく傾斜面A2へもパターニングが必要なため、前記と同様に段差を有する基板のフォトリソグラフィーに好適なスプレー塗布法を用いて傾斜面A2'へのパターニングを行う(図5(e)を参照)。

【0045】

最後にダイシングライン10においてチップングし、多数の基台を一括的に作製することができる(図5(f)を参照)。

【0046】

以上の方法により、プレーナプロセス技術を用い、複数平面上に電極を良好に形成することができる。また、従来の印刷法を用いたプロセスよりもパターンの直線性、精度、ばらつきが良好となるとともに、複数品の整列処理等の繁雑さを無くすることができる。

【0047】

図3に示すような実装用基板S1についても、前述した光半導体素子キャリアK1と同様な作製方法及び手順で作製できる。なお、電極パターンは、実装用基板S1の上面Z1及び傾斜面Z2だけでなく、必要に応じて光半導体素子キャリアK1支持用の溝底面Z3にも作製できる。このとき、溝底面の配線パターンの間隔が細かい場合、傾斜面からの半田等の流れだしによりショートするのを防ぐため、溝底面Z3の電極パターン上にSiO₂などで絶縁層を設けてもよい。

【0048】

次に、図4に示すように、電極パッド11に光半導体素子2を実装した光半導体素子キャリアK1と、搭載用溝5に光導波体3を配設した実装用基板S1とにおいて、傾斜面A2、Z2を互いの凹凸部8、9を嵌め合わせ、上から加熱押圧し、最後に半田や樹脂系接着剤等で固定する。

【0049】

以上の方法により、光半導体素子2の発光面が実装用基板S1の上面Z1及び光導波体3の光軸上に垂直になるように簡便に位置合わせを行うことができ、結合効率のよい光モジュールM1を供給できる。

【0050】

また、光半導体素子キャリアK1に搭載する光半導体素子2は、受光及び発光用の光半導体素子のいずれか1つではなく、例えばVCSEL2と同時にモニター用フォトダイオード（以下MPD）4を実装することも可能である。以下に、本発明の他の実施形態について説明する。

【0051】

また、上述したように光導波体の光軸と光半導体素子の受発光面を垂直に結合させる以外にも、例えば光導波体3から出た光をフォトダイオードで受光する場合、光導波体3へ戻る反射光を避けるため、垂直からある一定角度（同一の基板を使用でき、材料を削減できるため望ましい構造）をずらして光半導体素子キャリアK1と光半導体素子キャリア実装用基板S1を組み合わせることもできる。例えば、材料にシリコン単結晶基板を用いた場合、光半導体素子キャリアK1の光半導体素子配設面A1を（100）面、Siサブ基板Sの上面Z1を（100）面とすると、フォトダイオードの受光面は水平面よりおよそ19.48°傾くことになり、光導波体3への反射光を好適に避けることができる。

【0052】

図6に、VCSELである発光素子2とMPDである受光素子4を並設実装した光半導体素子キャリアK2を示す。図7に、この光半導体素子キャリアK2と光ファイバなどの光導波体23を実装用基板S2に配設した光モジュールM2を示す。このように、光半導体素子を1つ追加しているので、電気配線は2本追加されており、したがって、実装用基板S2の電気配線も同様に追加される。この場合、発光素子2から出射した光の一部を光導波体3の端面で横方向に反射させてその光をモニターするため、光導波体23の端面23aは斜めに削られている。（光軸を法線とする面に対してある角度削られて斜めになっている。光導波体23に真直ぐ入ってきた光がこの光導波体23の端面23aで一部が反射され、受光素子4に入射する。受光部分の位置によって斜めの断面部がどちらを向くか

が決定する。光軸方向と受光部分が同じ高さの場合は断面部が真横を向く。)このとき、光導波体23の端面を 30° 程度(光軸を法線とする面に対して 30°)斜め研磨することで、発光素子2と受光素子4を同一平面に実装した上で、受光素子2からの出射光を前述した光導波体23の端面23aで反射させ、受光素子4で受光することができる。また、素子配設面A1におけるMPDである受光素子4の実装部分を同じく素子配設面A1の発光素子2の実装部分より一段後方に下げることで、光導波体23の端面23aの研磨角度を浅くするようにしている。このように、発光素子2の位置は不動で、受光素子4の位置が横に動く場合を考えた場合、発光素子2と受光素子4の位置が離れると、発光素子2から出た光を大きく横へ跳ね返さねばならず、その場合、光導波体23の先端23aはどんどん尖った形となり研磨角は大きくなる。受光面が発光面より奥に下がっていると言うことは、受光素子4と発光素子2の横間隔は同じでも遠くで受光するため、反射光の横への移動は少なくて済む。

【0053】

図8に、本発明に係る光モジュールのさらに他の実施形態を示す。光モジュールM3はMPDである受光素子4をVCSELである発光素子2の上部に配置したものである。この場合、発光素子2からの出射光の一部は実装用基板S3の導波体用溝5と同時に形成された光反射用溝6で反射されて受光素子4により受光されることで、発光素子2の出射光をモニターできる。ここで、光反射用溝6の出射光反射面は導体パターン13, 14の形成時に、同時に下層/上層でCr/Au, Ti/Pt/Auなどの材料によるメタライズが施されており、これにより効率的な光の反射が可能である。なお、光導波体33の先端33aは光軸に対しほぼ垂直面でもよい。

【0054】

なお、前述した実施形態では、光半導体素子キャリアK1の傾斜面A2と実装用基板S1の傾斜面Z2の電極部となる部分に凹凸部を形成したが、凹凸部を形成できる場所は電極部に限らず、傾斜面A2, Z2の中央に1条のみ形成したり、傾斜面A2, Z2の両端に複数条を形成したりするなど、実装上の必要に応じて凹凸部の位置や本数は適宜変更可能である。また、光半導体素子キャリアK1

の傾斜面 A 2 と実装用基板 S 1 の傾斜面 Z 2 に形成した凹凸部は、それぞれ凹部または凸部だけの構成でもよく、段差だけでもよい。

【 0 0 5 5 】

【発明の効果】

以上、詳述したように、本発明によれば、以下に示す顕著な効果を奏することができる。

【 0 0 5 6 】

光半導体素子キャリアと、同じく結晶面によって定まる高精度な角度の面を有する外部基体とを嵌め込み付き合わせて、光半導体素子キャリアを光半導体素子キャリア実装用基板に実装することにより、光半導体素子の受発光面を光導波体の光軸方向（z 方向）と高さ方向（y 方向）だけでなく横方向（x 方向）をも確実に位置合わせでき、光半導体素子の受発光面と光導波体の光軸を垂直または一定角度で結合することが可能であり、簡便でばらつきのない良好な結合効率を有する光モジュールの作製が可能となる。

【 0 0 5 7 】

また、光半導体素子キャリアと実装用基板等の外部基板とに、位置決め用の凹部及び／又は凸部を設けたことにより、光半導体素子キャリアを正確に実装用基板等の外部基体の実装できるため、光半導体素子キャリアに発光素子と受光素子の 2 つの光半導体素子を実装しての、反射光を利用した入射光のモニタリングが可能となり、別途モニター用の光半導体素子を実装する手間が省けることによって、モニター付き光モジュールの作製を簡便に行うことができる。

【 0 0 5 8 】

また、光半導体素子キャリアの作製においては、一括処理で行うことができ、製造工程途中でのハンドリング等の作業の繁雑さがなく、ウェハ状態または工程終了（ダイシング）後の整列状態で光半導体素子の実装が可能であり、実装の作業性が良好であるとともに、従来に比べて更に小型化が可能であり、この小型化により光半導体素子キャリア全体の静電容量が下がることから高速動作に好適である。

【 0 0 5 9 】

さらに、光半導体素子キャリア1つ1つのハンドリングを必要とせず、1枚の平板基板より2面にわたる電極パターンと結晶面によって決まる高精度な角度の傾斜面を有する光半導体素子キャリアを大量に生産することが可能であり、量産性が極めて良好となる。

【0060】

しかも、実装用基板も光半導体素子キャリアと全く同様の製法で作製できるため、光半導体素子キャリアをセラミックス等で作製した場合と比べ、これらの製造に必要な装置を最低限に抑えることができ、製造コストの低減が図れる。

【0061】

そして以上の効果により、小型、高周波特性に優れ、さらに低コストで量産性に優れた光半導体素子キャリア、実装用基板、及び光モジュールを提供することが可能になる。

【図面の簡単な説明】

【図1】

本発明に係る光半導体素子キャリアの基台を模式的に示す斜視図である。

【図2】

本発明に係る光半導体素子キャリアを模式的に示す斜視図である。

【図3】

本発明に係る光半導体素子キャリアの実装構造を模式的に示す図であり、(a)は実装用基板の斜視図、(b)は(a)のB-B'線断面図、(c)は(a)のC-C'線断面図、(d)は平面図(上面図)である。

【図4】

本発明に係る光モジュールを模式的に示す図であり、(a)は部分斜視図、(b)は(a)のB-B'線断面図、(c)は(a)のC-C'線断面図、(d)は平面図(上面図)、(e)は光半導体素子キャリアと実装用基板とのつき合わせ構造を示す断面図である。

【図5】

(a)～(f)はそれぞれ本発明に係る光半導体素子キャリアの製造工程を模式的に示す図であり、各図の①が平面図(上面図)、②が断面図である。

【図 6】

本発明に係る他の光半導体素子キャリアを模式的に示す斜視図である。

【図 7】

本発明に係る他の光モジュールを模式的に示す部分斜視図である。

【図 8】

本発明に係る他の光半導体素子キャリアを実装用基板に配設した光モジュールを模式的に示す部分斜視図である。

【図 9】

従来の光半導体素子キャリアの基台を模式的に示す斜視図である。

【図 1 0】

従来の光半導体素子キャリアを模式的に示す斜視図である。

【図 1 1】

従来の光半導体素子キャリアの実装構造を示す図であり、（a）は正面側断面図、（b）は平面図（上面図）、（c）は側面側断面図である。

【符号の説明】

- 1：基台
- 2：光半導体素子（面発光素子）
- 3：光導波体
- 4：光半導体素子（面受光素子）
- 5：導波体用溝
- 6：光反射用溝
- 7：ダイシング溝
- 8、18：位置決め用凹凸部
- 11：導体パターン（素子実装用電極パッド）
- 12：導体パターン（配線用電極パッド）
- 13：導体パターン（素子接続用電極パッド）
- 14：導体パターン（配線用電極パッド）
- 19：凹凸部
- 21：発光面側電極

A 1 : 素子配設面

A 2 : 傾斜面 (位置合わせ面)

Z 1 : 上面

Z 2 : 傾斜面

Z 3 : 実装用溝底面

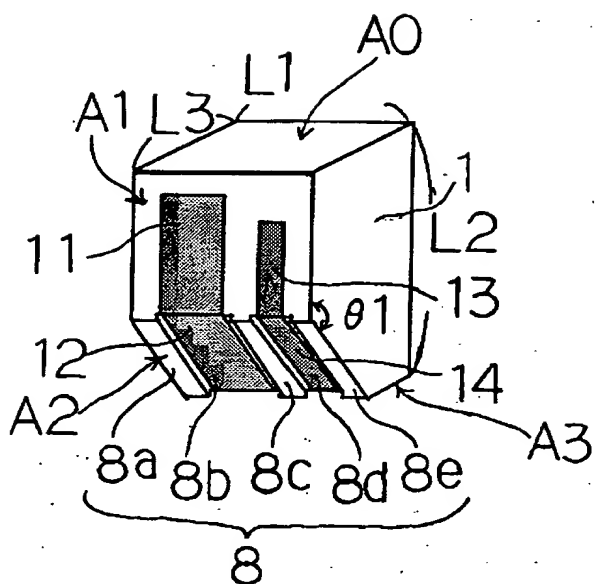
K 1、K 2、K 3 : 光半導体素子キャリア

S 1、S 2、S 3 : 実装用基板

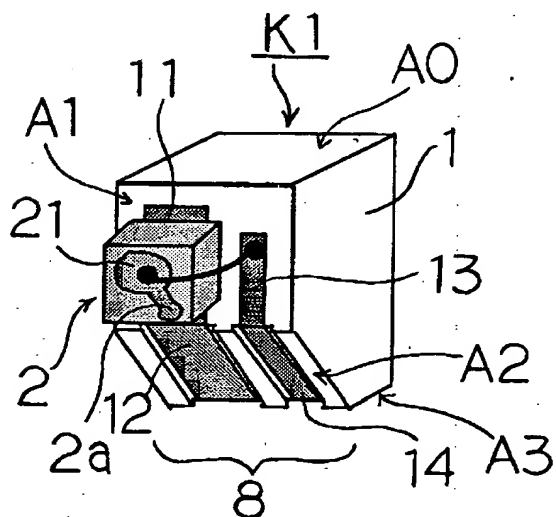
M 1、M 2、M 3 : 光モジュール

【書類名】 図面

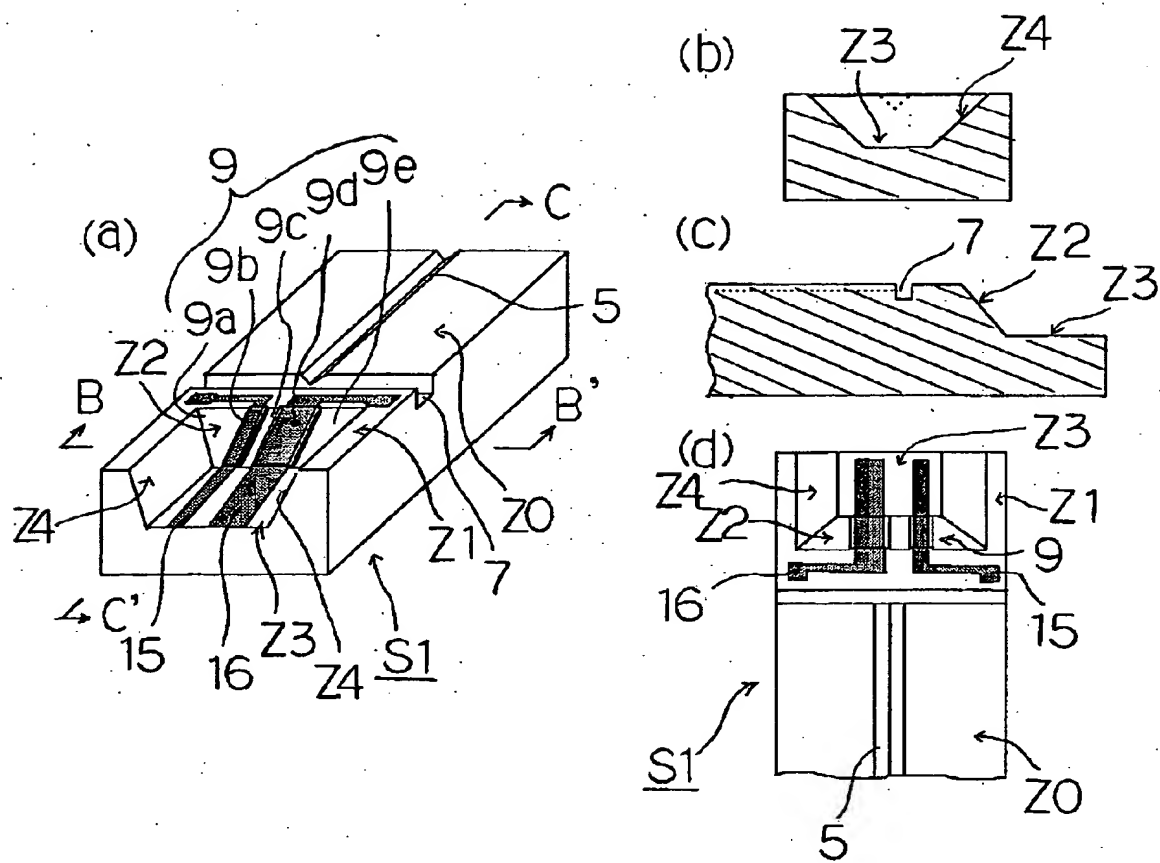
【図 1】



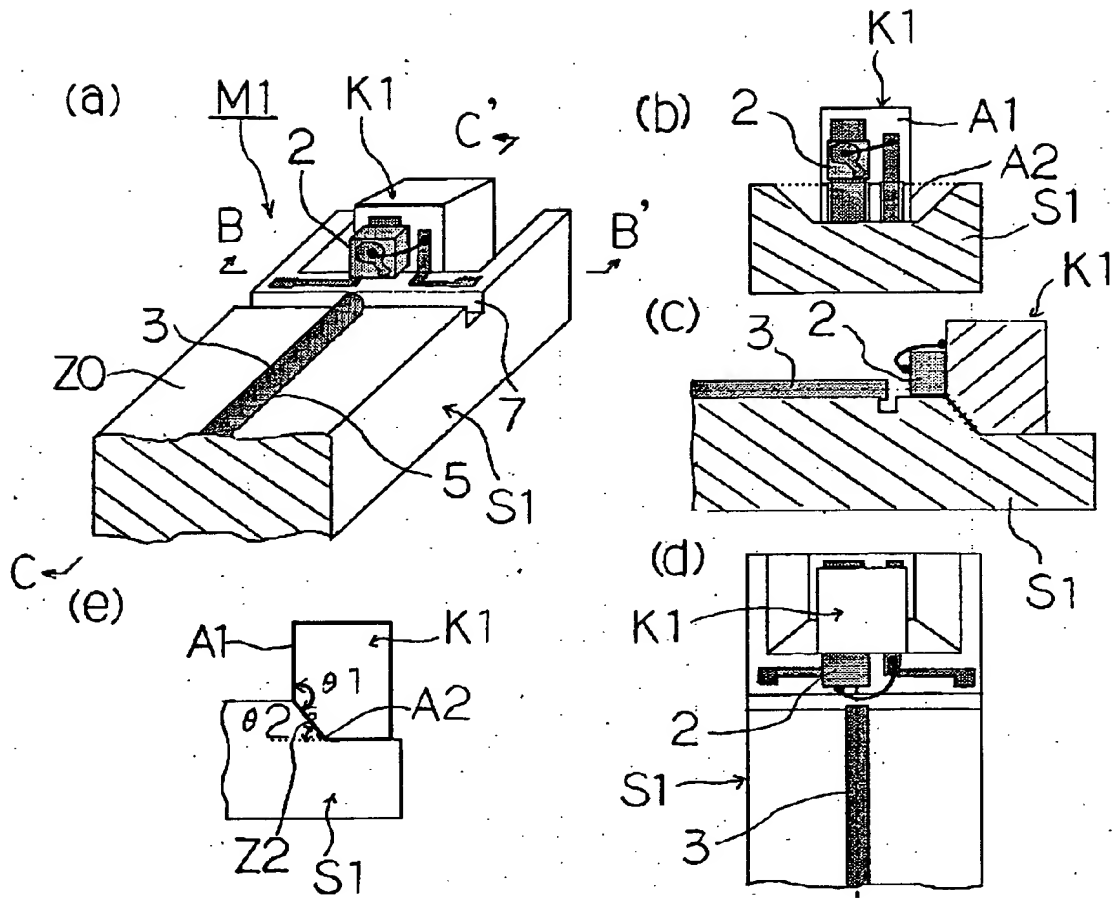
【図 2】



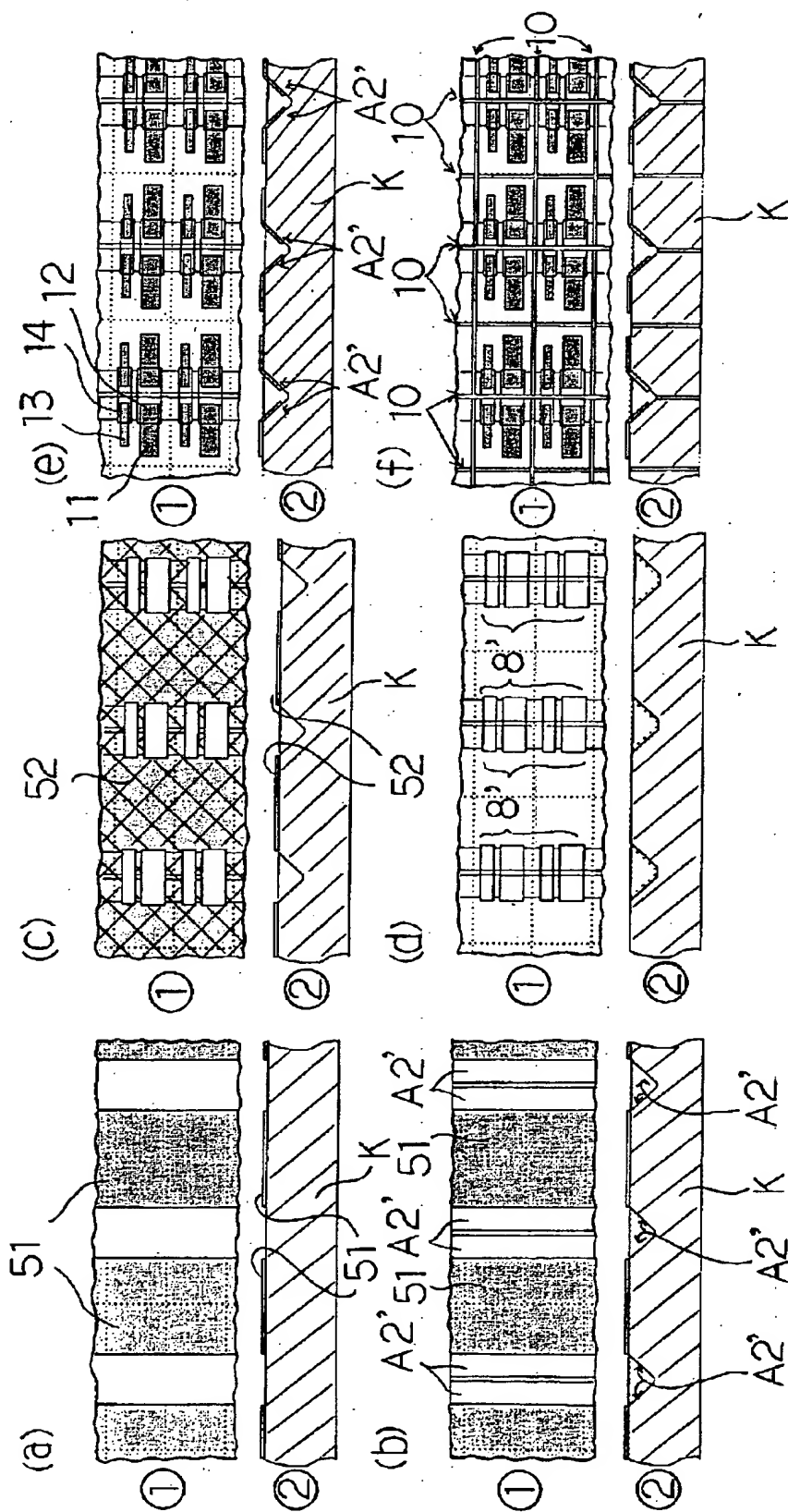
【図3】



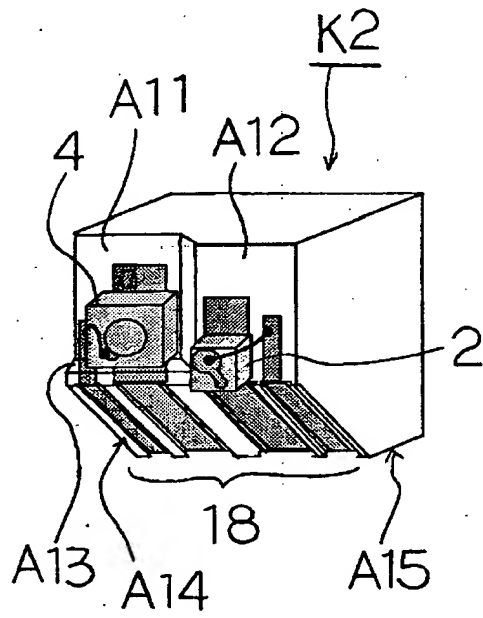
【图 4】



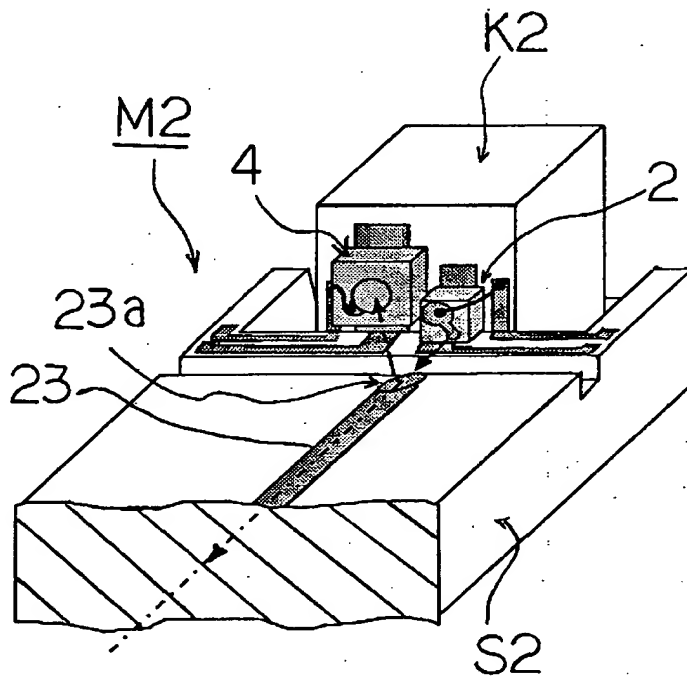
【図 5】



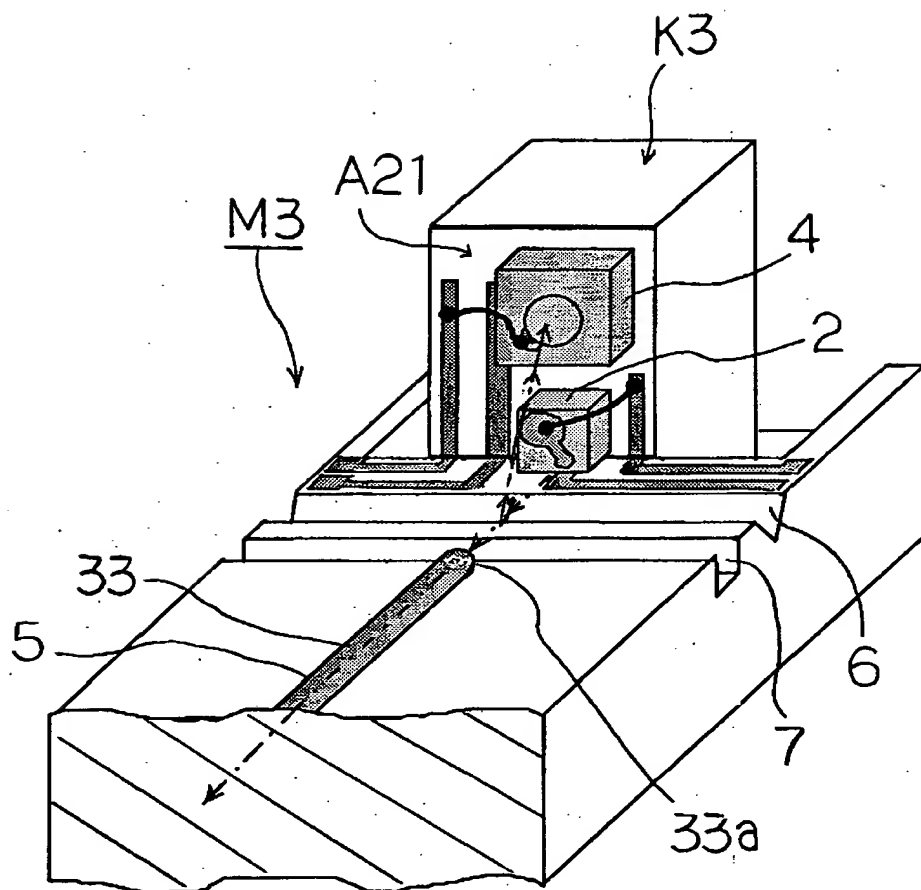
【図 6】



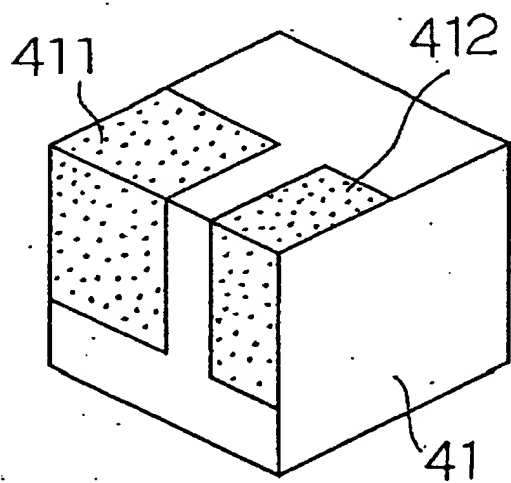
【図 7】



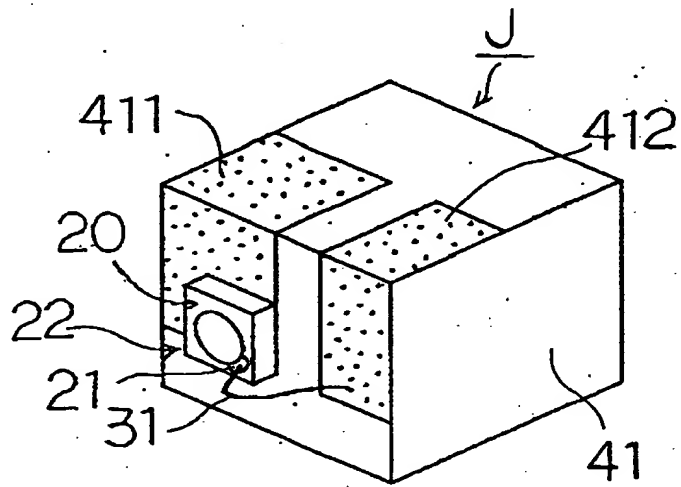
【図 8】



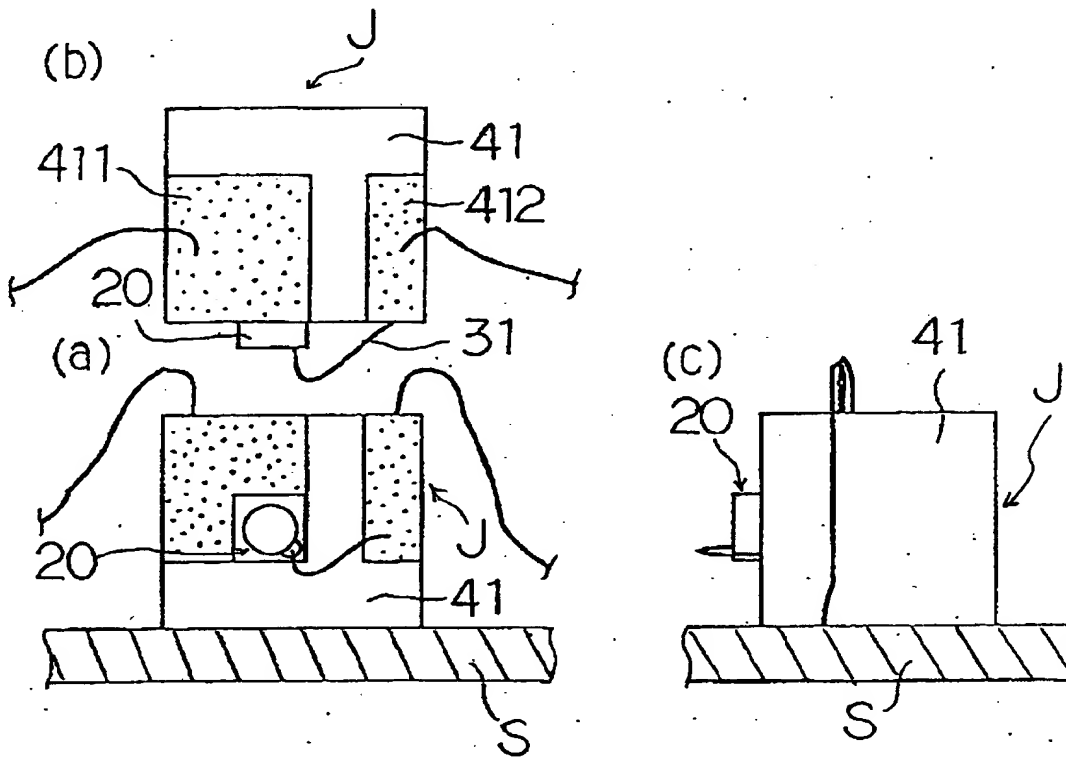
【図 9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 特に面受発光半導体素子などの光半導体素子の実装に適し、しかも量産性に優れ、さらに小型で高周波特性に優れた光半導体素子キャリア及びその実装構造、並びにそれらを用いた高効率な結合を有する優れた光モジュールを提供すること。

【解決手段】 基台 1 上に 1 以上の光半導体素子 2 が配設された光半導体素子キャリア K 1 において、基台 1 は光半導体素子 2 を配設した素子配設面 A 1 と、基台 1 を外部基体に対し位置決めするための位置合わせ面 A 2 とを備えるとともに、素子配設面 A 1 から位置合わせ面 A 2 にわたって光半導体素子 2 に接続される導体パターン 1 1 ～ 1 4 を形成し、かつ位置合わせ面 A 2 に位置決め用凹凸部 8 を形成する構成とする。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願2000-363504
受付番号	50001538988
書類名	特許願
担当官	第一担当上席 0090
作成日	平成12年11月30日

<認定情報・付加情報>

【提出日】	平成12年11月29日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000006633]

1. 変更年月日	1998年 8月21日
[変更理由]	住所変更
住 所	京都府京都市伏見区竹田烏羽殿町6番地
氏 名	京セラ株式会社